COLUMN

シリコンバレーに学ぶキャリア・デベロップメント

第11回

豊富なコーチ陣

東原朋成

かつては，EE（electronics engineering）＝ハードウェア・エンジニア，CS（computer science）＝ソフトウェア・エンジニアという暗黙の了解があったそうですが，いまやその垣根は見当たりません．実際，EEである筆者が最近もっともよく使うツールは，GNUのソース・レベル・デバッガ「GDB」です．また，筆者の同僚であるソフトウェア・エンジニアは，米国Synopsys社のHDLシミュレータ「VCS」を使ったハードウェア・シミュレーションを頻繁に行っています．

シリコンバレーのエンジニアの臨機応変ぶりはたいしたものです．エンジニアからマーケティング部門へ移っていく人やマネージメントのラダー（階段）を駆け上がって経営者になっていく人などが後を絶ちません．もちろんベンチャ企業を起こし，オーナ兼経営者（CEO，Vice Presidentなど）に就くエンジニアもたくさんいます．これはひとつには，数学をはじめとするエンジニアリングやサイエンスの素養が，マーケティングや会社経営にも応用できるためなのでしょう．しかし，別の理由として，シリコンバレーにはすぐれたコーチがたくさんいるためだとも聞きます．

以前，筆者が受けたジョブ・インタビュー（マネージャのポジション）では，CEO面接がありました．彼はStanford Universityで博士号を取得した根っからの技術者なのですが，ベンチャ・キャピタルの後押しで会社を設立しました．会長職にはベンチャ・キャピタルから派遣された経営経験の豊富な人物が就きました．当初彼は技術担当副社長のポジションに就いて，CEOは雇おうと考えていたそうです．しかし，会長としてやってきた人物が，「あなたがCEOに就き，そしてあなた自身が会社経営を学ぶべきだ」と主張したのだそうです．「教えてやる（コーチする）」とのことで，それこそ文字どおり手取り足取り会社経営について教わったそうです．それも当初は会長とCEOが部屋を共有する形で（もっともベンチャ企業ということで，スペースの問題もあったのだが…），通常なら常勤しない会長が毎日会社に出社して，経験の伝授が行われたわけです．会社経営がある程度順調になった後も，いわゆるボード・ミーティング（取締役会議）にだけ出てくる会長とはならず，頻繁に会社にやってきてはCEOをコーチする形で会社経営全般を見ていったそうです．

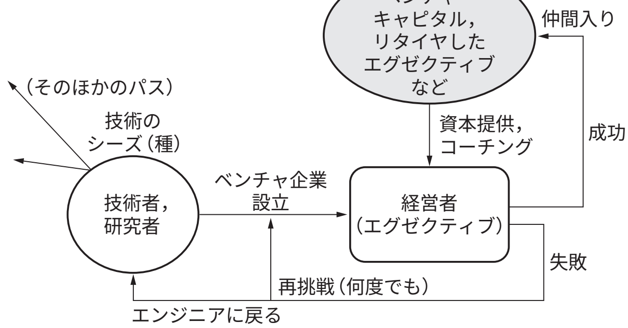


図1　コーチとベンチャ企業

ベンチャ・キャピタリストの前身は小さな会社を興して成功した人，大きな会社で地位を築いて引退した人などであり，自分の資産を活用するために始めた人がかなりいます．こうした人が，資金面のみならずいろいろな角度から次の世代を後押ししているのがシリコンバレーの特徴といえます（**図1**）．

ベンチャ企業を始めなければ，また，会社である程度地位が上がらなければ，こういったコーチに出会う機会がないというわけではありません．いわゆるアダルト・スクール（生涯学習）や大学の夜間部，ソーシャル・クラブ（例えばフィットネス・クラブ）などを通してコーチに出会う機会はいくらでもあります．米国は“対等”をできるだけ重んじる社会ですから，さる会社の重役だろうとCEOだろうと，それがフィットネス・クラブで新たな上下関係を作りだすということはありません．

ところで，筆者にもコーチがひとりいます．そのコーチなる人物は，筆者の所属するソーシャル・クラブの仲間です．今は準引退の身ですが，これまで数々の会社を興して，その経営ポストに就いてきた人物です．ときどき朝食をいっしょにとりますが，経営のことや投資のこと，政治のことなど，数々のことが話題にのぼります．自分などには思いもつかない考えかたをしていることを発見することが多くあります．例えば，投資一つとっても，NPV（net present value；ある事業から得られるであろう将来のキャッシュ・フローを資本コストで割り引いた現在価値から，投資額の現在価値を差し引いた金額）やインフレのことなどまで計算に入れて入念にチェックするなど，一般庶民である筆者には思いもつかないことにまで目配りしているのに驚くことがよくあります．会社経営についても独自の考えかたがあり，筆者からすると若干の偏りはあるのかなとも思う

のですが，経営者としての生の話を聞ける良い機会が得られています．自宅に招かれることもあり，書棚にある書籍のタイトルを見るだけでも勉強になることがあります．

インタビュー模擬体験

問 前回の解答（2005年12月号，pp.94-95）

問題

ASIC開発における低消費電力化について何か提案してください．

低消費電力化は今やASIC設計でいちばん重要な課題になっています．

筆者は米国DEC（Digital Equipment Corp.）に勤めていたころ，StrongARMプロセッサの設計チームに属していました．当時，フルカスタム設計でアダーのトランジスタの一つに至るまで，速度と消費電力を最適化するように努力したことを思い出します．

最近のASICはライブラリ・ベースで設計されますが，低消費電力化にはいくつもの手法が考えられます．もちろんプロセスの選択やライブラリの選択が消費電力の点から非常に重要であることは言うまでもありません．

1）アルゴリズムの検討

複雑なアルゴリズムを少しでも簡単化できれば低消費電力化できます．

2）アーキテクチャの検討

並列化やマルチプロセッサ化はゲート数を増大させるものの，クロック周波数を抑えることが可能です．消費電力におけるクロックの要素は非常に重要なので，検討事項となります．また，低い周波数であれば電源電圧を低下させることも可能となります．

3）ゲーテッド・クロックの採用

クロック信号を制御して論理ブロックや論理セルの動作を停止させるのがゲーテッド・クロックです．制御対象となるブロックの粒度が消費電力に大きく影響します．

4）メモリ・アクセス

メモリは消費電力に大きく影響を与えるので，そのアクセス・パターンなどを検討します．

5）電源制御

アクティブになっていないモジュールやゲートへの電源供給をカットすることで消費電力が抑えられます．ゲーテッド・クロックはその一つです．最近では，電源そのものを制御することでリーク電流の低減まで考えて消費電力を見直すようになっています．

このようにいくつもの検討事項があります．ビット単位まで注目し，ビット転換があまり発生しないデータ・タイプ（エンコード）の選択を試みるというマイクロレベルの検討も必要になるかもしれません．

いわゆるシステム・アーキテクトというのは，アプリケーションだけでなく，インプリメントにおけるさまざまなトレードオフにも深く通じている必要があります．当然ながらハードウェア，ソフトウェアに関する深い理解と経験が必要です．

こういったことを通じて，設計の実務にかかわるというよりも，設計全体を大局的に検討していく技術リーダになっていくわけです．

問 今月の問題

問題

単精度浮動小数点逆数演算器（1/dの算術演算）を設計しました（IEEEのルールには厳密に則らないものとする）．演算結果の検証を行う必要があります．検証エンジニアの視点で見た検証プログラムを提案してください．

とうはら・ともなり

おわびと訂正

2005年12月号，講座「ここから始めるアナ・ディジ混載設計 第6回」の記事に誤りがありました．p.120，右段，最下行の「ステップ・サイズの**半分**の振幅」は「ステップ・サイズの**3/4**の振幅」の誤りです．お詫びして訂正いたします．